

# PATENT ABSTRACTS OF JAPAN

(11) Publication number :

2002-072962

(43) Date of publication of application : 12.03.2002

(51)Int.Cl. G09G 3/28  
G09G 3/20  
G09G 3/288

(21)Application number : 2001-222914 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

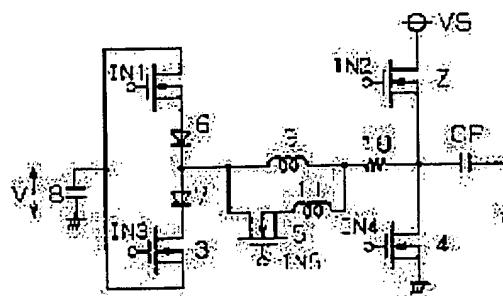
(22) Date of filing : 13.03.1998 (72) Inventor : WADA AKIHISA

(54) DISPLAY DEVICE, AND DRIVING CIRCUIT AND METHOD THEREFOR

(57) Abstract:

**PROBLEM TO BE SOLVED:** To make a recovery performance of an electric power recovering circuit highly efficient by reducing its peak current loss.

**SOLUTION:** This display device is provided with display electrodes CP having capacitance for accumulating electric charges and an electric storage means 8 which is connected through a route to recover the electric charges, and is characterized in varying an inductance of the route during the electric charges movement.



## LEGAL STATUS

[Date of request for examination] 27.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3475946

[Date of registration] 26.09.2003

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特闢2002-72962

(P2002-72962A)

(43)公開日 平成14年3月12日(2002.3.12)

(51) Int.Cl. **識別記号** **F I** **マークコード(参考)**  
 G 0 9 G 3/28 C 0 9 G 3/20 6 1 1 A 5 C 0 8 0  
 3/20 6 1 1 6 2 1 C  
 6 2 1 3/28 J  
 3/288 B

審査請求 有 請求項の数4 OL (全5頁)

(21)出願番号 特願2001-222914(P2001-222914)  
(62)分割の表示 特願平10-62840の分割  
(22)出願日 平成10年3月13日(1998.3.13)

(71)出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72)発明者 和田 昭久  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 100097445  
弁理士 岩橋 文雄 (外2名)

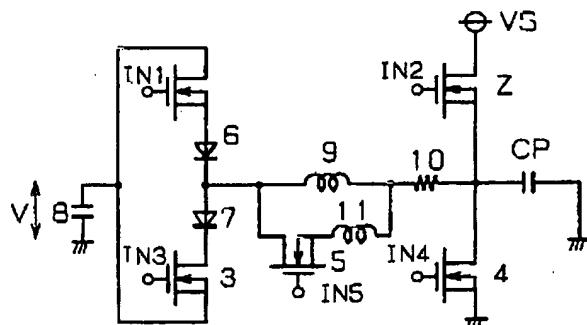
F ターム(参考) 50080 AA05 BB05 DD26 HH02 HH04  
II02 II03 II04 II06

(54) [発明の名称] 表示装置とその駆動回路及びその駆動方法

(57) 【要約】

【課題】 電力回收回路の電流ピークによる損失を低下させ電力回收回路による回収率を高能率化するのを提供する事を目的とする。

【解決手段】 電荷を蓄積する容量をもつ表示電極CPと経路を介して接続され電荷を回収、排出する電力蓄積手段8とを備え、電荷が移動中に経路のインダクタンス量を可変させることを特徴とする。



## 【特許請求の範囲】

【請求項1】 表示電極及びそれに付随する電極間容量を備えた表示装置を駆動するための駆動回路において、前記電極間容量に蓄積された電荷を排出するための経路に接続された電力蓄積手段と、前記経路にコイルを備え、前記電極間容量に蓄積された電荷を排出している期間中に前記コイルのインダクタンス量を可変することを特徴とする駆動回路。

【請求項2】 複数の表示電極を有する放電セルを含む表示パネルと、前記表示パネルの表示電極を駆動する請求項1記載の駆動回路とを備える表示装置。

【請求項3】 表示電極及びそれに付随する電極間容量を備えた表示装置を駆動するための駆動方法において、前記電極間容量に蓄積された電荷をコイルを介して電力蓄積手段に排出するとともに、前記電荷を排出している期間中に前記コイルのインダクタンス値を可変することを特徴とする駆動方法。

【請求項4】 複数の表示電極を有する放電セルを含む表示パネルの電極を請求項3記載の駆動方法で表示する表示方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、平面表示装置及びその駆動方法に関するものであり、詳しくは平面表示装置においてパルスメモリー方式の走査方法を低消費電力で、低コストで実現しうる平面表示装置の駆動回路に関するものである。

## 【0002】

【従来の技術】 近年、映像表示装置としてはカラーの陰極線管（以下、CRTと記す）が広く用いられているが、これに代わって、大幅に薄型化できるものとして、例えば、液晶パネル、またはメモリー機能を備えたカラー表示用のプラズマディスプレイが要望されている。その一例としてプラズマディスプレイのAC型について、以下に説明する。

【0003】 図7に示すように一般にAC型プラズマディスプレイは、走査電極Y1, Y2, ..., Ynからなる走査電極群101とXからなる維持電極102とデータ電極A1, A2, ..., Anからなるデータ電極群103の3種類の表示マトリックス電極群を有し、各交点が個々の表示用放電セルを構成する。図5に示すように走査電極群101、維持電極群102とデータ電極群103の間には放電ガスが封入しており、データ電極側には蛍光体が塗布されている。表示情報に応じて電圧が印加された走査電極とデータ電極との交点の放電セルで放電・発光が生じ、視覚情報として認識される。カラー表示を行う場合は、各放電セルにR、G、Bの蛍光体を設置し、放電時に紫外線を発する、たとえば、ヘリウムーキセノンなどの放電ガスを封入してある。このように構

成されたプラズマディスプレイをパルスメモリー方式によって駆動する方法について、図6、図7を使って説明する。

【0004】 図7に示すように、データ電極群103のA1, A2, ..., Anの各電極にはデータパルスVAが表示情報に応じて印加されており、走査電極群101のY1, Y2, ..., Ynの各走査電極群には順次、走査パルスVYが印加される。また維持電極群102は共通電極となっており、図6に示すような維持パルスが印加される。このような印加電圧波形において、たとえばデータ電極A2と走査電極Y1の交点に対応する放電セル104へ表示情報を書き込み、放電を維持する方法を説明する。

【0005】 図6に示すように、走査電極Y1に走査パルスVYが印加されている間にデータ電極A2に書き込みパルスVAを印加すると、データ電極A2と走査電極Y1の交点にある放電セル104内でパルス放電が起り電荷が蓄えられ、そのセルの放電開始電圧を引き下げる。その後、走査電極、維持電極にそれぞれ維持パルスが加えられ放電、発光を繰り返す。このようにして一旦、書き込まれた放電セル104は、維持パルスが終了されるまで、維持パルスが印加される毎に放電・発光する。なお、書き込みパルスが印加されない場合、表示放電用セル104の放電開始電圧は高い状態に保たれるので、維持パルスによる放電発光は起こらない。このようにパルスメモリー方式に代表されるメモリー駆動方式では、維持パルスが終了するまでの期間繰り返されるパルス発光を表示に利用できるため、輝度が得られる。また維持パルスの回数を制御することで輝度変化が得られる。ここで各維持パルスはパルス放電による電力消費のほかにパネルを充電するための電力が消費され、電力消費量が増大する。そのためパネルの充放電のみに費やされる電力を回収して消費電力の増大を少なくしようとするために、電力回收回路が走査側高圧パルス発生器105、維持側電極パルス発生器106に付加される。

【0006】 次にこの電力回收回路について従来例として図3、図4を用いて説明する。

【0007】 図3に示すようにCPがパネルの電極間の容量である。FET3, 4が各ゲートに入るIN3, IN4によりコントロールされる走査側電極高圧パルス発生器の出力部、及び維持側電極パルス発生器の出力部である。主に電力回収は維持パルスの部分で効果を出すようになされている。従って維持パルス部分は極性が反転しているだけで動作は同じである。

【0008】 まず、FET1をONすると、コンデンサー8の電圧Vの2倍の電圧が電極間容量CPに誘起される。このときFET2, 3, 4はOFFのままである。電圧がピークになったときに、FET1をOFF、FET2をONにする。維持パルスの期間の後、FET2をOFFとし、FET3をONにする。電極間容量CPに

蓄積された電荷はコイル9を通過しコンデンサ8に蓄えられる。電極間容量CPの電圧が0となった瞬間トランジスタ3をOFF、FET4をONにすると電極間容量CPの電圧は0Vに保たれる。このときコンデンサ8の電圧Vは電源電圧VSの1/2となる。このようにして、維持期間が終了するまで繰り返され電力回収が行われる。

#### 【0009】

【発明が解決しようとする課題】以上のようなプラズマディスプレイでは、図4に示すように電力回収回路の充放電による電流ピークが大きく、図3に示したように、パネルの電極線抵抗、回収用コイルの抵抗、ダイオードの抵抗、及び切換用FETの抵抗等の電流が流れる経路を代表する抵抗10による電力損失が大きく電力回収の効率を悪化させていた。

【0010】本発明は上記課題に鑑み、電力回収回路の電流ピークによる損失を低下させ電力回収回路による回収率を高能率化するのを提供する事を目的とする。

#### 【0011】

【課題を解決するための手段】上記課題を解決するために、平面表示装置の駆動回路は電力回収回路の回収効果を上げるために電力回収回路を含めた抵抗分による損失を下げるよう電力回収回路の充放電電荷量を一定に保ちながら、充放電電流のピークを抑えるのにコイルのインダクタンス量を切換または可変させ抵抗分による電力損失を低下させ、電力回収回路の回収率を向上させるように本発明はしたものである。

#### 【0012】

【発明の実施の形態】本発明は、少なくとも1対の電極及びそれに付随する電極間容量を備えた平面表示装置を駆動するための駆動回路において、前記電極間容量に蓄積された電荷を排出するための経路に接続された電力蓄積手段を備え、前記経路には第1のコイルと、前記第1のコイルと並列に第2のコイルと切換スイッチが接続された平面表示装置の駆動回路に関するものである。

【0013】本発明はこのような構成をとることで、抵抗分が一定とした場合、充放電電荷量を一定に保ちながら、充放電電流のピークを下げることにより電力回収による回収率を向上させることを提供することができる。

【0014】(実施の形態1)以下に本発明の第一の実施例について図を参照しながら説明する。図1は本発明の第一の実施例における平面型表示装置の駆動回路である。

【0015】図1において、1, 2, 3, 4, 5は切換用FETである。6, 7は逆流防止用ダイオードである。8は電力回収用コンデンサである。9, 11は電力回収用のコイルである。10は平面表示装置の電極の抵抗分、電力回収用コイルの抵抗分、電力回収回路のダイオードによる抵抗分及び切換用FETの抵抗分等を代表した抵抗である。CPは平面表示装置の電極間容量である。

る。またFET1, 2, 3, 4, 5には各ゲートに制御入力端子としてIN1, IN2, IN3, IN4, IN5が与えられており、それぞれは後述のように制御されている。以上のように構成された電力回収回路について、説明する。

【0016】まずFET1がONされると、コンデンサ8の電圧の2倍の電圧が電極間容量CPに誘起されようとする。このとき立ち上がる時にはFET5はOFFでありコイル11は解放され、流れる電流はコイル9のみに流れる。コンデンサCPにかかる電圧が図2に示すように、時間t1の時点でのFET5がONされる。すると、コイル11がコイル9に並列にはいるのでトータルのインダクタンスは少くなり、図2のように充電電圧は急激に立ち上がり、コンデンサ8の2倍の電圧即ち、電源電圧VSに近づく。このとき、FET2, FET3, FET4はOFFのままである。

【0017】次に、コンデンサCPの電圧がピークになったとき、FET1をOFF、FET2をONにする。すると、電極間容量CPの電圧は電源電圧VSになる。維持パルスの幅だけこの状態を持続し、その後、パルス電圧を0Vにする。このためには、まずFET2をOFFにし、FET3をONにする。この時点でもFET5はOFFのままである。電極間容量CPに蓄積された電荷はコイル9を通過しコンデンサ8に蓄えられる。

【0018】図2に示すように、時間t4の時点でのFET5をONさせると、コイル9にコイル11が並列に入れられるのでインダクタンス値は小さくなり、急激に0Vに近づき、電荷はすべてコンデンサ8に蓄えられる。電極間容量電圧が0Vとなった瞬間FET3をOFF、FET4をONにすると電圧は0Vを保たれる。このようにして平面表示装置の電極間容量CPの充放電による電力損失分は軽減される。このときコイル9は十分大きなインダクタンス値で、コイル11のインダクタンス値は小さな値とする。

【0019】このような動作を行わせることにより、図2に示すパルス波形となり、同時に電流波形のピークも下がり抵抗10による電力損失がさらに下がることになる。またコイル11を用いてインダクタンス値を変えているのは、維持電圧による放電は電圧の上昇した点で、しかもわずかな期間で急激に放電させるため、図2のt1点から上は急峻に立ち上げるためである。

#### 【0020】

【発明の効果】以上のように本発明によれば、簡単な回路構成で従来の電力回収回路と比較して充放電電流のピーク値を任意に下げることが出来るため、電力回収率を向上させることが出来る。

#### 【図面の簡単な説明】

【図1】本発明の駆動回路の第一の実施例における構成図

【図2】プラズマディスプレイの維持パルスを説明する

## ための図

【図3】従来のプラズマディスプレイの駆動回路を説明するための図

【図4】従来のプラズマディスプレイの維持パルスを説明するための図

【図5】プラズマディスプレイの構造図

【図6】プラズマディスプレイの動作を説明するための図

【図7】プラズマディスプレイの接続図

## 【符号の説明】

1 制御用FET

2 制御用FET

3 制御用FET

4 制御用FET

5 制御用FET

6 逆流防止ダイオード

7 逆流防止ダイオード

8 電力蓄積用コンデンサ

9 コイル

10 抵抗

11 コイル

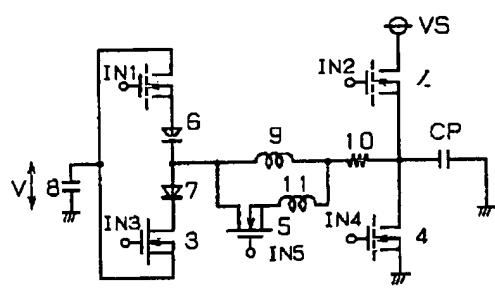
101 走査電極群

102 維持電極群

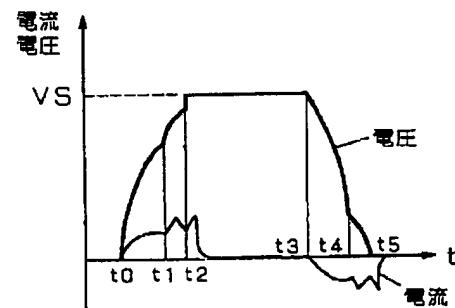
103 データ電極群

104 放電セル

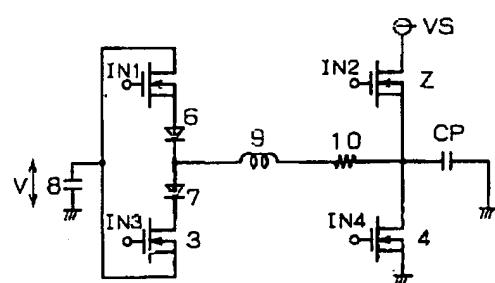
【図1】



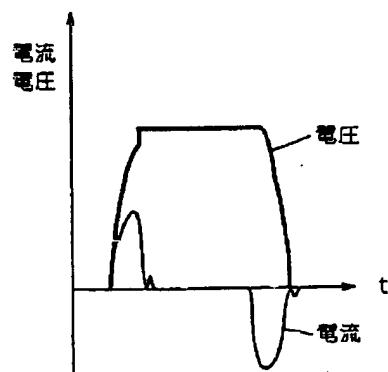
【図2】



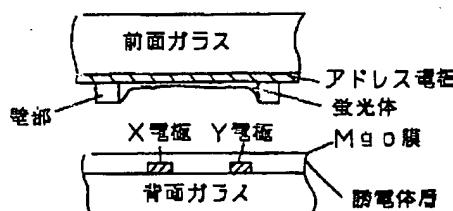
【図3】



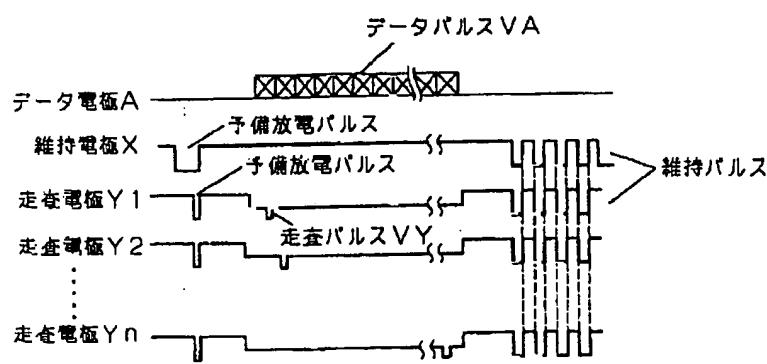
【図4】



【図5】



【図6】



【図7】

